

- (11) Japanese Patent Laid-Open No. 4-172547
- (43) Laid-Open Date: June 19, 1992
- (21) Application No. 2-301533
- (22) Application Date: November 7, 1990
- (71) Applicant: CASIO COMPUTER CO., LTD.
- (72) Inventor: Yoshifumi YAMAO et al.
- (74) Agent: Patent Attorney, Jiro SUGIMURA et al.

SPECIFICATION

1. Title of the Invention: DATA STORAGE APPARATUS WITH
DATA PROTECTING FUNCTION

2. Claims

- (1) A data storage apparatus with a data protecting
function comprising:
 - a power battery that supplies power to a circuit unit;
 - a power switch that is used for instructing ON/OFF
operation of power supply to the circuit unit from the power
battery;
 - input means that inputs data;
 - random-access volatile storage means that stores the
data input by the input means;
 - nonvolatile storage means that stores data transferred
from the volatile storage means and can be electrically
rewritten; and

control means that transfers and stores, to the volatile storage means, predetermined data stored in the nonvolatile storage means upon operating the power switch and starting the power supply from the power battery, and transfers and stores, to the nonvolatile storage, the data in the volatile storage means upon operating the power switch and stopping the power supply from the power battery.

(2) The data storage apparatus with the data protecting function according to Claim (1), wherein an open/close detecting switch of a battery cover accommodating unit is used, in place of the power switch.

(3) The data storage apparatus with the data protecting function according to Claim (1) or (2), wherein the input means is a radio receiver that receives electrical waves sent.

3. Detailed Description of the Invention

[Technical Field of the Invention]

The present invention relates to a data storage apparatus with a data protecting function.

[Conventional Art and Problems]

A conventional data storage apparatus with a data protecting function includes a data storage apparatus with a battery dedicated for holding the storage or a data storage apparatus with a condenser having a large capacity.

However, the above-mentioned apparatuses can lose

important storage data when a power battery is exchanged without finding that the life of the battery dedicated for holding the storage is dead and the storage is not held. Further, the backup condenser only can hold the storage within the limited time and there is no sufficient time to exchange the battery.

[Object of the Present Invention]

The present invention is devised in consideration of the above circumstances and it is an object of the present invention to provide a data storage apparatus with a data protecting function that can completely hold the storage upon exchanging the battery.

[Summary of the Present Invention]

In order to accomplish the above-mentioned object, upon exchanging a battery, data for holding the storage thereof among from data stored in volatile storage means is transferred and stored to nonvolatile storage means that can electrically rewrite data.

[Embodiment]

Hereinbelow, a description is given of an embodiment of the present invention with reference to the drawings. According to the embodiment, the present invention is applied to a data storage apparatus of a paging receiver with a message data receiving function.

Fig. 1 is a diagram showing the circuit structure of a

paging receiver. That is, circuit units are connected to a one-chip micro computer 1 as a center including a decoder, comprising a CPU 1a; a decoder 1b; and a RAM 1c. A radio unit 3 is a circuit that demodulates an FM signal received by an antenna 2, and a waveform shaping unit 4 is a circuit unit that shapes a waveform of a signal wave demodulated and sent from the radio unit 3.

An E²PROM 5 is connected to the one-chip micro computer 1 including the decoder via connectors 5a, 5b, and 5c, and is connected to a DC/DC converter 6 via a connector 5d. Further, the E²PROM 5 has a self-address data storage area (for writing the address data to the area with a ROM writer of a paging service company) that stores address data assigned to the paging receiver and an evacuation data storage area that stores predetermined data in the RAM 1c. Furthermore, the E²PROM 5 is a circuit unit that sends the address data to the decoder 1b synchronously with a clock signal from the decoder 1b and receives and sends the predetermined data to/from the CPU 1a synchronously with a clock signal from the CPU 1a.

The DC/DC converter 6 is a circuit unit that switches a voltage from a power battery E to a voltage corresponding to a signal from the CPU 1a and sends the switched voltage to the E²PROM 5. That is, the DC/DC converter 6 is a circuit that receives a signal X sent from the CPU 1a upon reading

reception data stored in the E²PROM 5, sets the voltage from the power battery E to 1.5V, applies the set voltage to the E²PROM 5, receives a signal Y sent from the CPU 1a upon writing the reception data to E²PROM 5, setting the voltage from the power battery E to 5V, and applies the set voltage to the E²PROM 5.

The decoder 1b is a circuit that receives the signal from the CPU 1a, sends the clock signal to the E²PROM 5, captures the address data stored in the E²PROM 5, thereafter intermittently supplies the power to the radio unit 3 and the waveform shaping unit 4 every sending timing thereto, decodes the reception signal sent from the waveform shaping unit 4 on the basis of the captured address data, and sends the signal to the CPU 1a when the decoded signal is sent to the decoder 1b.

The CPU 1a is a circuit unit that sends signals to the circuit units in accordance with the open/close state of switches and controls the sent signals.

The RAM 1c is a circuit unit that stores the reception data sent from the CPU 1a. Incidentally, if the sent reception data requires the protection for storage, the RAM 1c has an area for setting a protect flag indicating the fact.

A battery cover open/close detecting switch SW₁ enters an ON mode upon opening a cover of an accommodating unit of

the power battery E, and further enters an OFF mode upon closing the cover. A reset switch SW_2 is operated upon stopping ring of a speaker 8 or stopping the display of the reception data on an LCD 9. A display switch SW_3 is operated upon sequentially displaying the reception data stored in the RAM 1c on the LCD 9. The protect switch SW_4 is operated to set, to a flag area in a storage unit of the RAM 1c, the reception data which requires the protection for storage, a protect flag indicating the fact. A slide switch SW_5 comprises contacts P_1 and P_2 connected to the CPU 1a and a contact P_3 connected to the ground, and selectively connects the contacts P_1 to P_3 depending on the slide position. Incidentally, a ring position for connecting the contacts P_1 and P_2 of the slide switch SW_5 to the contact P_3 is selected upon setting a ring mode for generating reception sound in reception. A silent position for connecting only the contact P_2 to the contact P_3 is selected in a silent mode for preventing the reception sound even if the reception exists. An off-position for preventing the connection of both the contacts P_1 and P_2 to the contact P_3 is selected upon stopping the power supply to the circuit units from the power battery E, which will be described later.

A speaker driver 7 is a circuit unit that receives a signal from the CPU 1a and generates reception sound by

driving the speaker 8. The LCD 9 is a circuit unit that receives a signal from the CPU 1a and displays the reception data and the like.

Further, the power battery E supplies power to the circuit units.

Next, a description will be given of the operation with the above structure according to the embodiment.

For example, it is assumed that the RAM 1c stores a large amount of the reception data, some of the data is to be protected for storage, and the protect flag is set to the data. Herein, when the slid switch SW₅ for exchanging the power battery E is slid to the off-position or when the cover of the accommodating unit of the power battery E is opened (similarly, upon opening the cover after the slid switch SW₅ is slid to the off-position), the CPU 1a detects that the power battery E is exchanged and executes the following reception-data evacuation processing when the signal level supplied via the contacts P₁ and P₂ is not at the earth level or when the switch SW₁ for detecting the open/close of the battery cover is ON and the signal level via the switch SW₁ is at the earth level. That is, a signal Y is first sent to the DC/DC converter 6, thereby setting the power voltage to be supplied to the E²PROM 5 to 5V necessary for writing. Subsequently, the clock signal is sent to the E²PROM 5 and determines the head address of the

evacuation area. Thereafter, a write instruction signal is sent to the E²PROM 5 so as to set the E²PROM 5 to be written. After that, the reception data stored in the RAM 1c, to which the protect flag is set, is read, the reception data and the clock signal are transferred to the E²PROM 5 synchronously with the signal, and the transferred signals are sequentially stored to the evacuation area.

As mentioned above, the reception data for preventing the storage is written to the evacuation area of the E²PROM 5. After that, even if stopping the power supply to the circuit units from which the power battery E is removed, the storage of the E²PROM 5 is not erased. Thus, the storage can substantially be held.

Further, after ending the exchange of the power battery E as mentioned above, if the cover of the accommodating unit of the power battery E is closed and the switch SW₁ for detecting the open/close of the battery cover is set to OFF, or if the slid switch SW₅ is set to the ring position or silent position, the level of the signal sent via the switch SW₁ for detecting the open/close of the battery cover is not at the earth level or the level of the signal sent via at least one of the contacts P₁ and P₂ is set to the earth level. Thus, the CPU 1a detects the end of the battery exchange and executes the following processing. That is, the signal X is first sent to the DC/DC converter 6, the power voltage

supplied to the E²PROM 5 is set to 1.5V for reading, the CPU 1a supplies a start signal to the decoder 1b and allows the address data from the E²PROM 5 to be subjected to the reading and storage processing. Further, the processing advances to that for establishment synchronous with the reception electrical waves.

Upon ending the storage processing on the decoder 1b, the CPU 1a sends the clock signal to the E²PROM 5 and serially reads the reception data that is evacuated to the evacuation register, thereby transferring and storing the data to the RAM 1c.

Next, a description will be given of another embodiment of the present invention. Fig. 2 is a diagram showing the circuit structure according to the second embodiment. Although the structure is almost the same as that according to the first embodiment (the same reference numerals in Fig. 2 as those Fig. 1 denote the same functions), the following points are different. The E²PROM 5 stores the address data thereof and the reception data necessary for protection of the storage according to the first embodiment. However, according to the second embodiment, a ROM (ID-ROM 10a) for storing the address data thereof and a ROM (E²PROM 5) for evacuating the reception data necessary for protection of the storage are independently structured. Further, a mode change switch SW_m that is not provided according to the

first embodiment is provided, thereby selecting a phone number mode upon displaying phone number data on the LCD 9 and a phone number write mode upon writing the phone number data in addition to the normal mode upon displaying the reception data on the LCD 9.

With the above-mentioned structure according to the second embodiment, since the E²PROM 106 does not need to store the address data thereof, the input/output from/to the E²PROM 106 is performed not serially but in parallel in increments of 4 bits or the like. Further, the writing and reading areas can be determined by an address.

The present invention is not limited to the first and second embodiments and can be modified within departing from the present invention. For example, according to the first and second embodiments, the protection of the storage is necessary and only the reception data having the set protect flag in the reception is evacuated to the E²PROM. Obviously, the capacity of the evacuation area of the E²PROM is identical to the capacity of a reception-message storage area of a RAM so as to evacuate all the reception data.

[Advantages]

As mentioned above, the present invention relates to a data storage apparatus with a data protecting function in which data stored in volatile storing means, to be protected for storage, is transferred and stored to nonvolatile

storing means that can electrically rewrite the data. Thus, it is possible to provide a data storage apparatus with a data protecting function that can completely protect the storage in the exchange of battery.

4. Brief Description of Drawings

Fig. 1 is a diagram showing the circuit structure according to one embodiment of the present invention. Fig. 2 is a diagram showing the circuit structure according to another embodiment of the present invention.

- 1: One-chip micro computer having decoder
- 2: antenna
- 3: radio unit
- 4: waveform shaping unit
- 5, 10b: E²PROM
- 6: DC/DC converter
- 7: speaker driver
- 8: speaker
- 9: LCD
- 10a: ID-ROM
- 1a: CPU
- 1b: decoder
- 1c: RAM
- SW₁: switch detecting open/close of battery cover
- SW₂: reset switch

CFA00093US

SW₃: display switch

SW₄: protect switch

SW₅: slide switch

SW_m: mode change switch

CFA00093US

DRAWINGS

FIG. 1

1a: CPU 1b: DECODER

3: RADIO UNIT 4: WAVEFORM SHAPING UNIT

6: DC/DC CONVERTER 7: SPEAKER DRIVER

FIG. 2

1b: DECODER UNIT 3: RADIO UNIT 4: WAVEFORM SHAPING UNIT

6: DC/DC CONVERTER 7: SPEAKER DRIVER

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-172547

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)6月19日

G 06 F 12/16
1/26
1/30

3 4 0 Q

7629-5B

7832-5B

G 06 F 1/00

3 4 1 N

7832-5B

3 3 1 C

審査請求 未請求 請求項の数 3 (全5頁)

⑮ 発明の名称 データ保護機能付きデータ記憶装置

⑯ 特 願 平2-301533

⑰ 出 願 平2(1990)11月7日

⑱ 発 明 者 山 尾 義 文 東京都西多摩郡羽村町栄町3丁目2番1号 カシオ計算機株式会社羽村技術センター内

⑲ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

⑳ 代 理 人 弁理士 杉村 次郎

明 細 書

1. 発明の名称

データ保護機能付きデータ記憶装置

2. 特許請求の範囲

(1) 各回路部に電力を供給する電源電池と、

上記電源電池から各回路部への電力供給の断続を指令するのに用いられる電源スイッチと、

データを入力する入力手段と、

上記入力手段によって入力されたデータを記憶するランダムアクセスの揮発性記憶手段と、

上記揮発性記憶手段から転送されてきたデータを記憶する電氣的に書き換え可能な不揮発性記憶手段と、

前記電源スイッチが操作され、電源電池からの電力供給が開始されるときに、前記不揮発性記憶手段に記憶されている所定のデータを上記揮発性記憶手段に転送して記憶せしめ、他方、該電源スイッチが操作され、電源電池からの電力供給が停

止されるときには上記揮発性記憶手段のデータを上記不揮発性記憶手段に転送して記憶させる制御手段を備えたことを特徴とするデータ保護機能付きデータ記憶装置。

(2) 上記請求項(1)記載のデータ保護機能付きデータ記憶装置において、電源スイッチに替えて電池収納部の蓋の開閉検出スイッチにしたことを特徴とするデータ保護機能付きデータ記憶装置。

(3) 上記請求項(1)又は(2)記載のデータ保護機能付きデータ記憶装置において、入力手段は送着されてきた電線を受着する無線受着器であることを特徴とするデータ保護機能付きデータ記憶装置。

3. 発明の詳細な説明

【発明の技術分野】

本発明はデータ保護機能付きデータ記憶装置に関する。

【従来技術とその問題点】

従来のデータ保護機能付きデータ記憶装置としては、記憶保持専用の電池を設けるもの或は容量の大きいバックアップコンデンサを設けるもの等があった。

しかし、この種のものは、上記記憶保持専用の電池が寿命で記憶保持ができなくなっていることに気付かず電氣電池交換等を行なったときは、貴重な記憶データを失うことがあり、また、バックアップコンデンサでは、限られた時間の記憶保持しかできず、電池交換時等においては、その時間的余裕に十分満足できるものではなかった。

【発明の目的】

本発明は上述の如き事情に鑑みてなされたものであり、電池交換等に際し、一層完全な記憶保持ができるデータ保護機能付きデータ記憶装置の提供を目的とする。

である。

E? PROM5はコネクタ5a, 5b, 5cを介してデコーダ等内蔵ワンチップマイクロコンピュータ1に、またコネクタ5dを介してDC-DCコンバータ6に接続されたE? PROMで、当該ページング受信機に割当てられているアドレスデータを記憶している自己アドレスデータ記憶エリア（該エリアへの上記アドレスデータの書き込みは、ページングサービス会社等がROMタイタ等により行なう）と、RAM1cの所定のデータが転送されてきたとき、それを記憶する遊離データ記憶エリアとを備え、デコーダ1bからのクロック信号に同期してデコーダ1bに上記アドレスデータを送り、CPU1aからのクロック信号に同期してCPU1aとの間で上記所定のデータの授受を行なう回路部である。

DC-DCコンバータ6は電氣電池Eよりの電圧をCPU1aからの信号に応じた電圧に切替えてE? PROM5に与える回路部である。すなわち、E? PROM5に記憶されている受信データ

【発明の要点】

本発明は上述した目的を達成するために、電池交換に際しては、揮発性の記憶手段に記憶されているデータのうち記憶保持すべきものを電氣的に書換え可能な不揮発性記憶手段に転送して記憶するようしたことを要旨とする。

【実施例】

以下、図面に示す一実施例に基づいて本発明を具体的に説明する。なお、本実施例はメッセージデータ受信機能付きページング受信機のデータ記憶装置に本発明を適用したものである。

第1図は、ページング受信機の回路構成を示す図である。すなわち、CPU1a、デコーダ1b、RAM1cからなるデコーダ等内蔵のワンチップマイクロコンピュータ1を中心に他の回路部が、これに接続する構成となっている。無線部3はアンテナ2で受信されたFM信号を復調等する回路であり、波形成形部4は無線部3から復調されて送られてきた符号語の波形成を正える回路部

を送出すときにCPU1aから送られてくる符号Xを受けて電氣電池Eからの電圧を1.5VにしてE? PROM5に与え、E? PROM5に受信データを書込むときにCPU1aから送られてくる符号Yを受けて電氣電池Eからの電圧を5VにしてE? PROM5に与える回路である。

デコーダ1bはCPU1aからの符号を受けてE? PROM5に前記クロック信号を送ってE? PROMに記憶されているアドレスデータを取り込み、以後、自己への送着タイミング毎に無線部3および波形成形部4に電源を間欠供給すると共に、波形成形部4から送られてきた受信符号を、取り込んだアドレスデータに基づいて解読し、それが自己に対して送られてきたものであるときは、それをCPU1aに送る回路である。

CPU1aは、各種スイッチの開閉状態等に応じて各回路部へ信号を送って、それらを制御する回路部である。

RAM1cはCPU1aから送られてくる受信データ等を記憶する回路部である。なお、該RAM

M10には、送られてきた受信データが記憶保護を要するものであるときは、その旨を示すプロテクトフラグを立てるエリアも設けられている。

電池蓋開閉検出スイッチSW₁は電源電池Eの収納部の蓋が開かれたときにオン状態となり、上記蓋が閉じられたときにオフ状態となるスイッチである。リセットスイッチSW₂は、スピーカ8による鳴音の停止、或いはLCD9による受信データの表示等を停止する際に操作するスイッチである。表示スイッチSW₃はRAM10に記憶されている受信データを順次LCD9に表示していく際等に操作されるスイッチである。プロテクトスイッチSW₄は、受信したデータが記憶保護を要するものであるときに、該データのRAM10における記憶部のフラグエリアに、その旨を示すプロテクトフラグを立てるべく操作するスイッチである。スライドスイッチSW₅はCPU1aに接続している接点P₁、P₂と、接続している接点P₃とを繋ぎ、スライド位置によりこれらを選択的に接続する。なお、該スライドスイ

チSW₅の接点P₁、P₂は接点P₃に接続する鳴音ポジションは、受信があったとき受信音を生じせしめる鳴音モードにするときに選択され、接点P₃のみを接点P₁に接続する無音ポジションは受信があっても上記受信音を生じせしめない無音モードにするときに選択され、接点P₁、P₂のいずれかが接点P₃に接続しないオフポジションは、後述の電源電池Eから各回路部への電力供給を停止する際に選択される。

スピーカドライバはCPU1aからの信号を受けて、スピーカ8を駆動して受信音等を生じせしめる回路部である。LCD9はCPU1aの信号を受け、受信データ等を表示する回路部である。

また、電源電池Eは各回路部に電力を供給する電源電池である。

次に、以上の如く構成された本実施例の動作について説明する。

例えば、いまRAM10には、既に受信した受信データが多数記憶されており、その中のいくつ

かは、記憶保護をすべきもので、前記プロテクトフラグが立てられているものとする。ここで、電源電池Eの交換等のためスライドスイッチSW₅を前述のオフポジションにスライドせしめたとき、或いは、電源電池Eの収納部の蓋を開けたときは（なお、スライドスイッチSW₅をオフポジションした後に上記蓋を開けたときも同様となる）、CPU1aは接点P₁、P₂を介して与えられる信号レベルがアースレベルでなくなったこと或いは電池蓋開閉検出スイッチSW₄がオン状態となりこれを介して与えられる信号レベルがアースレベルになったことより、電源電池Eが交換されることを検出し、以下の受信データ選定処理を実行する。すなわち、先ず、DC-DCコンバータ8に信号Yを送り、E²FROM5に供給する電源電圧を書込みに必要な5Vにせしめ、次いでクロック信号をE²FROM5に送り、前記選定エリアの先頭アドレスを指定した後、E²FROM5に書込み指令信号を送り、E²FROM5を書込み可能状態に設定する。然る後、RA

M10に記憶されている受信データのうちプロテクトフラグが立てられているものを検出し、該受信データをクロック信号とともに接点P₁に同期させてE²FROM5に転送し、上記選定エリアに順次記憶せしめていく。

以上の如くして、記憶保護をすべき受信データがE²FROM5の選定エリアに書込まれた後には、電源電池Eが取外され各回路部への電源供給が停止されても、このE²FROM5の記憶は消去されることがないので、十分な記憶保持ができることになる。

また、上記の如くして電源電池Eの交換を終えた後、電源電池Eの収納部の蓋を閉じ、電池蓋開閉検出スイッチSW₄をオフ状態としたとき、或いはスライドスイッチSW₅を鳴音ポジション又は無音ポジションとしたときは、電池蓋開閉検出スイッチSW₄を介して送られてくる信号のレベルがアースレベルでなくなったこと或いは接点P₁、P₂のうちの少なくとも一方を介して送られてくる信号のレベルがアースレベルになった

ことより、CPU1aは、電池交換等が終了したことを検出し、以下の処理を実行する。すなわち、まず、DCCコンバータ6に番号Xを送り、E²PROM5に供給する電源電圧を読出しの際の1.5Vとし、次いで、CPU1aは、デコード1bに起動番号を与えてE²PROM5からの自己アドレスデータの読取りおよびその記憶処理を行なわれ、更に、受信電波との同期確立のための処理へと進ませる。

また、デコード1bでの上記記憶処理が終了したときには、CPU1aはE²PROM5にクロック番号を送って遅延レジスタに遅延せしめておいた前記受信データをシリアルに読取り、これをRAM1cに転送して記憶せしめる。

次に本発明の他の実施例について説明する。第2図は該実施例の回路構成を示すものであり、概ね、前述の実施例の回路構成に等しいが(第2図において第1図と同一符号のものは同一機能を有する)、以下の点で異なる。前述の実施例ではE²PROM5が自己アドレスデータと記憶

保護を要する受信データとを記憶する構成であったが、本実施例では自己アドレスデータを記憶するROM(ID-ROM10a)と記憶保護を要する受信データを記憶させるためのROM(E²PROM10b)とを別体構成としている。また、前述の実施例には設けられていなかったモード切換スイッチSW₀が設けられており、これにより、受信データをLCD9に表示等する際の通常モード以外に、電話番号データ等をLCD9に表示せしめる際の電話番号モードおよびその電話番号データを蓄込む際の電話番号蓄込みモード等を選択できるようになっている。

本実施例の如き構成にしたときは、E²PROM10bに自己アドレスデータを記憶させる必要がないのでE²PROM10bに対するデータの出入力をシリアルではなく、4ビット単位にして、パラレルに行なえ、延いては蓄込み、読出しエリアをアドレスで指定できることになる。

なお、この発明は上記実施例に限定されず、この発明を逸脱しない範囲内において種々変形応用

可能である。例えば、前述の同実施例は、記憶保護を要するとし、受信時にプロテクトフラグを立てた受信データのみをE²PROMに記憶せしめるものであったが、E²PROM内の記憶エリアの容量をRAM内の受信メッセージ記憶エリアの容量と等しくして、全ての受信データを記憶せしめるようにしてもよいことは無論である。

【発明の効果】

本発明は以上詳述したように、電池交換に際しては、揮発性の記憶手段に記憶されているデータのうち記憶保持すべきものを電力的に書き換え可能な不揮発性記憶手段に転送して記憶するようにしたデータ保護機能付きデータ記憶装置に係るものであるから、電池交換等に際し、一層完全な記憶保持ができるデータ保護機能付きデータ記憶装置の提供を可能とする。

4. 図面の簡単な説明

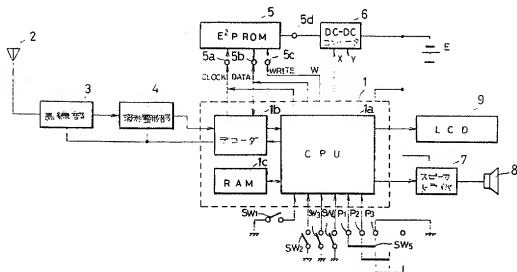
第1図は本発明の一実施例の回路構成を示す

図、第2図は本発明の他の実施例の回路構成を示す図である。

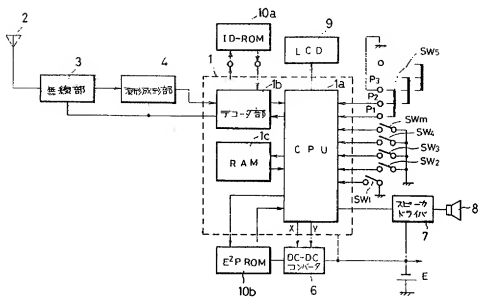
1……デコード等内蔵ワンチップマイコン、
2……アンテナ、3……集線部、4……波形整形部、5、10b……E²PROM、6……DCCコンバータ、7……スピーカドライバ、8……スピーカ、9……LCD、10a……ID-ROM、1a……CPU、1b……デコード、1c……RAM、SW₀……電池蓋開閉検出スイッチ、SW₁……リセットスイッチ、SW₂……表示スイッチ、SW₃……プロテクトスイッチ、SW₄……スライドスイッチ、SW₀……モード切換スイッチ。

特許出願人 カシオ計算機株式会社

代理人 弁理士 長 南 満 舞 男



第 1 図



第 2 図